

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-161140

(43) 公開日 平成10年(1998)6月19日

(51) Int.Cl.⁶ 識別記号
 G 0 2 F 1/1343
 1/136 5 0 0
 H 0 1 L 27/12
 29/786

F I
G 0 2 F 1/1343
1/136 5 0 0
H 0 1 L 27/12 A
29/78 6 1 2 C

審査請求 有 請求項の数 6 OL (全 17 頁)

(21)出願番号 特願平8-317593

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成8年(1996)11月28日

(72) 発明者・前田 明寿

東京都港区芝五丁目7番1号 日本電気株
式会社内

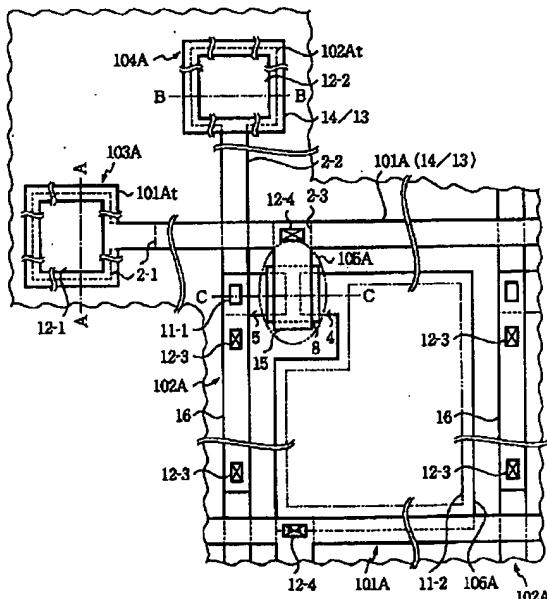
(74) 代理人 弁理士 岩本 直樹 (外2名)

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【要約】

【課題】端子部の接続電極の表面が酸化され、圧接抵抗が高く不安定になり、接続信頼性が低下することを簡単な方法で防止する。

【解決手段】外部の駆動回路との接続を取るためのアクティブマトリックス基板の端子103A, 104Aにおいて、その接続電極の少なくともTCPとの接続面を高融点金属（もしくは高導電性金属）の窒化膜14とし、アレイ工程のアニールやセル工程の配向膜焼成での接続電極表面の酸化を防止する。前記高融点金属にはクロム、タンタル、ニオブ、チタン、モリブデン、タングステンうちの何れか、もしくはこれらを主体とする合金を用い、また高導電性金属にはアルミニウムもしくはこれらを主体とする合金を用いる。



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-161140

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl.⁶
G 0 2 F 1/1343
1/136 5 0 0
H 0 1 L 27/12
29/786

識別記号
F I
G 0 2 F 1/1343
1/136 5 0 0
H 0 1 L 27/12 A
29/78 6 1 2 C

審査請求 有 請求項の数 6 O L (全 17 頁)

(21)出願番号 特願平8-317593

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成8年(1996)11月28日

(72)発明者 前田 明寿

東京都港区芝五丁目7番1号 日本電気株
式会社内

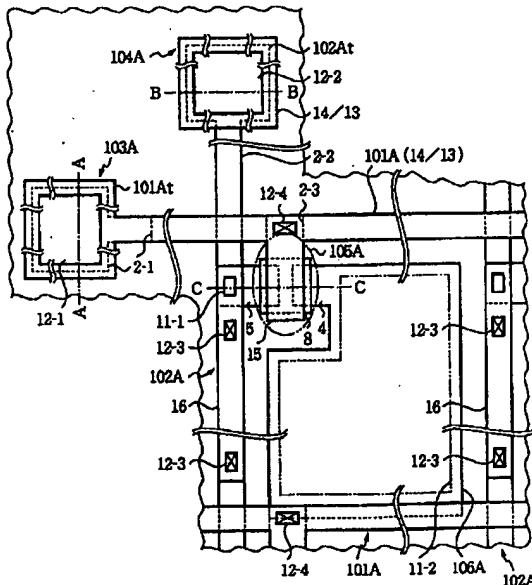
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【課題】端子部の接続電極の表面が酸化され、圧接抵抗が高く不安定になり、接続信頼性が低下することを簡便な方法で防止する。

【解決手段】外部の駆動回路との接続を取るためのアクティブマトリクス基板の端子103A, 104Aにおいて、その接続電極の少なくともTCPとの接続面を高融点金属(もしくは高導電性金属)の窒化膜14とし、アレイ工程のアニールやセル工程の配向膜焼成での接続電極表面の酸化を防止する。前記高融点金属にはクロム、タンタル、ニオブ、チタン、モリブデン、タングステンうちの何れか、もしくはこれらを主体とする合金を用い、また高導電性金属にはアルミニウムもしくはこれらを主体とする合金を用いる。



【特許請求の範囲】

【請求項1】 透明基板上に並列配置された複数の走査線と、前記複数の走査線に直交して並列配置された複数の信号線と、前記複数の走査線と複数の信号線の各交差点に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記走査線及び信号線の始端部にそれぞれ設けられた接続電極とを有するアクティブマトリクス基板において、前記接続電極が前記始端部に接続する金属膜及び前記金属膜表面に設けられた高融点金属の窒化膜もしくは高導電性金属の窒化膜であることを特徴とするアクティブマトリクス基板。

【請求項2】 透明基板上に並列配置された複数の信号線と、前記複数の信号線にそれぞれ設けられた複数のスイッチング素子と、前記複数のスイッチング素子の各々に接続された画素電極と、前記各信号線の始端部にそれぞれ設けられた接続電極とを有するアクティブマトリクス基板において、前記接続電極が前記始端部に接続する金属膜及び前記金属膜表面に設けられた高融点金属の窒化膜もしくは高導電性金属の窒化膜であることを特徴とするアクティブマトリクス基板。

【請求項3】 接続電極の少なくとも金属膜がその上に端子コンタクトホールを有する絶縁膜で選択的に被覆されている請求項1または2記載のアクティブマトリクス基板。

【請求項4】 窒化膜が金属膜の表面及び側面を被覆している請求項1乃至3記載のアクティブマトリクス基板。

【請求項5】 窒化膜が端子コンタクトホールと自己整合して金属膜表面を被覆している請求項1乃至3記載のアクティブマトリクス基板。

【請求項6】 高融点金属はクロム、タンタル、ニオブ、チタン、モリブデン、タングステンうちの何れか、もしくはこれらを主体とする合金であり、高導電性金属はアルミニウムもしくはこれを主体とする合金である請求項1乃至3に記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に用いられるアクティブマトリクス基板に関し、特にその端子電極の構造に関する。

【0002】

【従来の技術】近年薄型・軽量を特徴とする液晶表示装置、特に各画素毎にスイッチング素子を設けたアクティブマトリクス型液晶表示装置が広く用いられている。これはアクティブマトリクス型液晶表示装置が、一般に階調を容易に出せる、応答速度が速く動画に適するといった特徴を持つからである。スイッチング素子としては、薄膜トランジスタ(TFT)やMIM素子が利用されている。

【0003】図22は例えばTFTを用いたアクティブ

マトリクス型液晶表示装置の構成例を模式的に示したものである。透明基板上に複数の走査線101と信号線102が交差し、その交点にTFT105が設けられている。TFT105はスイッチングを行う半導体層とゲート及びソース・ドレインの各電極から構成される3端子素子である。1個のTFT105には1個の画素電極106が接続され、これらがマトリクス状に配置されている。外部の駆動回路との接続を取るために、走査線101の始端部(片側)には走査線端子103、信号線102の始端部(片側)には信号線端子104が設けられている。外部の駆動回路は通常テープ・キャリア・パッケージ(TCP)を介して、TCPとこれらの端子表面との間に異方性導電フィルム(ACF)を挟んだ状態で圧接され、接続が取られる。

【0004】さて、走査線101の中で例えば X_i が選択されて電圧パルスが印加されると、ゲート電圧はしきい電圧以上となり、これに連なる各TFT105でなるゲートは一斉にオンし、これらのオンしたTFT105の一方のソース・ドレインを通して各信号線より画像情報に対応した信号電圧が各TFT105の他方のソース・ドレインに伝達される。他方のソース・ドレインには画素電極106が接続され、この画素電極106と液晶層107を挟んで図示したい対向基板上に形成された対抗電極108との電圧差により液晶層107の光透過率を変化させて画像表示を行う。 X_i が非選択状態によりゲート電圧がしきい電圧以下となると、これに連なる各TFT105でなるゲートは一斉にオフになり、引き続き X_{i+1} が選択されてこれに連なる各TFT105でなるゲートがオンし、上と同様な動作が行われる。なおゲートがオフした後も画素電極106と対抗電極108間の電圧差は、主に両電極間の静電容量に蓄積され、次に同一走査線が選択されて新たな電圧パルスが印加されるまで液晶層107により保持される。

【0005】ところで、半導体層に非晶質シリコン(a-Si)を用いたTFTやMIM素子を利用したアクティブマトリクス基板では、各走査線や信号線の始端部に接続電極を設けて走査線端子103と信号線端子104とをそれぞれ構成して外部駆動回路と接続し、例えばTFTの場合には上記のように動作を行わせている。接続電極の要件としては、接続抵抗が低く安定であること、外部からの水分等の侵入に対して信頼性の高いこと、圧接工程の再工事が容易であること等があげられる。

【0006】例えば特開平1-205460号公報(第1の従来技術)には、一般的な端子の構造が示され、これらの端子部で膜剥がれを生じない薄膜トランジスタアレイ基板の製造方法が開示されている。図23は端子部の導電層に透明導電膜を金属膜上に被覆して設けた第1の例の断面図である。透明基板1上の走査線101aの始端部において、ゲート絶縁膜201に開口したコンタクトホール12を介して信号線と同時に形成される金属

膜202が走査線101a始端部に接続されるように設けられ、さらに金属膜202を被覆するように透明導電膜203が形成されて走査線端子103aを構成している。またこの第1の例の変形例として、チャネル保護型のTFTの場合、金属膜202の下側にn型の非晶質シリコン層を積層した構造も示されている。

【0007】次に図24は端子部の導電層に透明導電膜を単層で設けた第2の例の断面図である。この第2の例では第1の例の金属膜202がなく、透明導電膜203が単独で走査線101a始端部に接続されて走査線端子103bが形成されている。

【0008】また図25は端子部の導電層に金属膜を単層で設けた第3の例の断面図である。この第3の例では逆に第1の例の透明導電膜203がなく、金属膜202が単独で走査線101a始端部に接続されて走査線端子103cが形成されている。

【0009】これらの薄膜トランジスタアレイ基板の製造方法は、チャネル保護型のTFTにおいて、何れもゲート絶縁膜201は基板全面に成膜し、非晶質シリコン膜204はメタルマスクを用いて走査線101a始端部に堆積しないように選択的に成膜すること、保護絶縁膜205をバーニングする際、非晶質シリコン膜204が覆われていない走査線101a上のゲート絶縁膜201を同時に開口してコンタクトホール12を形成すること、走査線101aの接続端子となる導電層をソース・ドレイン電極または信号線と同時に形成することが特徴となっている。以上により工程数を増やすことなく、かつ保護絶縁膜205のバーニングを緩衝フッ酸溶液のようなウェットエッチングで行っても、走査線101a端部付近の透明基板1表面はエッチング液に侵されることはなく、端子部での膜剥がれを防止することができる。

【0010】しかしながら、この方法ではメタルマスクを用いるため、基板に傷を付けたり、パーティクルが発生しやすいという問題や成膜の膜厚分布が悪くなるという問題がある。またゲート絶縁膜201と非晶質シリコン膜204の界面を清浄に保ち、トランジスタの特性を良くするためには、両者を同一真空中で連続して成膜する必要があるが、後者の成膜の時のみメタルマスクを用いるのは一般に不可能であるか、可能としても成膜装置の大幅な改造を要するというような問題がある。また金属膜202にチタン等を用いているが、モリブデンやタンクスチタンのような水分等に対して腐食しやすい金属を用いる場合は、一般的に図23のように透明導電膜203で金属膜202を被覆しても端子の接続信頼性が得られないという大きな問題がある。このことは図24で走査線101aにモリブデンやタンクスチタンを用いた場合も全く同様である。図25のように接続端子となる導電層が金属膜202単独の場合はなおさらである。さらに図25のような構成では、後の熱処理工程（アレイ工程

のアニールやセル工程の配向膜焼成）で金属膜202の表面が酸化され、初期の圧接抵抗が高く不安定になり、接続信頼性も低下するという問題がある。

【0011】また別の端子構造として、例えば特開平2-156226号公報（第2の従来技術）は、図26(a), (b)に示すように、走査線端子103bと信号線端子104bの両方に透明導電膜203-1, 203-2を単層で用いる技術が開示されている。この方法は、走査線101bや信号線102bに低抵抗の配線材（アルミニウムやモリブデン）を用いる一方で、端子部では前述した腐食の問題や表面酸化の問題を解消している点で非常に優れる。しかし圧接工程の再工事が困難であるという問題がある。

【0012】一方、金属配線の酸化を防止する技術が、例えば特開平4-364723号公報（第3の従来技術）に開示されている。図27にこの半導体装置の電極部の断面構造を示す図。即ち、この配線は高融点金属膜244の周りを高融点金属の窒化膜245、246で囲んだ構造であり、半導体基板241上の絶縁膜242に20コンタクトホール243を開口し、反応性スパッタリングによる高融点金属の窒化膜245と高融点金属膜244とを順次形成し、高融点金属膜244をエッチングバックして配線バーニングした後、高融点金属膜244の表面に高融点金属の窒化膜246を形成することで得られる。このように構成することで、高融点金属の窒化膜がバリア膜となり、コンタクト部でのシリコンと金属との反応を防止し、かつ高温の熱処理による配線の酸化を防止することができる。半導体装置で、拡散層のシリコンと電極金属との反応を防止する一般的なバリア膜として、窒化チタンのような高融点金属の窒化膜を用いることは広く行われており、例えば特開平2-249264号公報にその技術が開示されている。

【0013】

【発明が解決しようとする課題】本発明が解決しようとする最大の課題は、アクリティブマトリクス基板において、製造工程中の熱処理によって端子部での接続電極の導電層表面が酸化され、圧接抵抗が高くかつ不安定になること、またこのようなことがない場合でも接続信頼性が低下することである。以下個々の問題点について述べる。

【0014】まず前述した第1の従来技術（特開平1-205460号公報）で図25の第3の例において、第1の問題点は、後の熱処理工程（アレイ工程のアニールやセル工程の配向膜焼成）で金属膜202の表面が酸化され、初期のTCPとの接続抵抗（圧接抵抗）が高く不安定になることである。また初期の圧接抵抗が低くても、高温高湿状態で保管すると圧接抵抗が高くなることである。その理由は、通常熱処理は窒素雰囲気中で行われるが、温度を下げる際に基板温度が高い状態で空気にさらされることが多いため、その結果金属膜202の表

面に導電性の低い酸化膜（半導体）が形成されるからである。また第2の問題点は、金属膜202がモリブデンやタンクスチル、あるいはこれらの合金のような腐食耐性の悪い金属を用いた場合、端子部の接続信頼性が確保できることである。その理由は、圧接時にこれらの金属をACFで覆い、さらに圧接したTCPを樹脂で覆つても、外部からの水分の侵入を完全に防止できないからである。

【0015】また図23や図24に示した第1、第2の例において、第1の問題点は、透明導電膜203が100nm程度の厚さでは、それぞれ金属膜202や走査線101aにモリブデンやタンクスチル、あるいはこれらの合金のような腐食耐性の悪い金属を用いた場合、やはり端子部の接続信頼性が確保できることである。その理由は、透明導電膜203の膜質がポーラスであるため外部からの水分の侵入を防止できないからである。またこれらの例では逆スタガ型（チャネル保護型）のTFTを前提としており、透明導電膜203の成膜を走査線101aや信号線の形成よりも後ででき、工程数を増やすことなく図23や図24のような構造にできるので、表面酸化の問題はない。しかし順スタガ型のTFTに適用する場合は、一般に透明導電膜（ソース・ドレイン電極に使用）の成膜は走査線（最上層配線）の形成よりも前に行う必要があり、従って図23や図24のような構造にするためには工程数を増やす必要がある。即ち第2の問題点は、順スタガ型のTFTにおいて図23や図24のような端子構造にするためには、一般に工程数を増やす必要があることである。またこのことが製造歩留まりの低下要因になりやすい。その理由は、ソース・ドレイン電極の少なくとも一部に透明導電膜を用いた順スタガ型のTFTでは、この透明導電膜の成膜時にパーティクルが発生する等の不具合が発生しやすいからである。

【0016】第1の従来技術（特開平1-205460号公報）の製法としての第1の問題点は、メタルマスクを用いる工程で基板に傷を付けたり、パーティクルが発生しやすいということである。その理由は、成膜の回り込みを防ぐため基板とメタルマスクを一般に接触させる必要があるからである。また第2の問題点は、メタルマスクを用いる工程で成膜の膜厚分布が悪くなることである。その理由は、メタルマスクにある程度の厚みが必要であり、基板のメタルマスク近傍で成膜に陰の部分ができるからである。さらに成膜が進むにつれメタルマスクにもそれが堆積し、成膜の陰の部分が徐々に増加していくからである。また第3の問題点は、ゲート絶縁膜201と非晶質シリコン膜204を同一真空中で連続して成膜して界面を清浄に保つことが困難であり、トランジスタの特性が悪くなることである。その理由は、後者の成膜の時のみメタルマスクを用いるのは一般に不可能であるか、可能としても成膜装置の大幅な改造を要するからである。

【0017】次に前述した第2の従来技術（特開平2-156226号公報）においての問題点は、圧接工程の再工事が困難であるということである。その理由は、TCPを剥がして再工事を行う際、透明導電膜203-1、203-2が剥がれたり傷が入りやすく、歩留まりや信頼性を低下させるからである。

【0018】次に前述した第3の従来技術（特開平4-364723号公報）において、第1の問題点は、配線金属膜の剥がれが生じやすいことである。その理由は、特に高融点金属がタンクスチルの場合、高融点金属の窒化膜245と下地との密着性が悪いからである。また第2の問題点は、製造工程が複雑になることである。その理由は、高融点金属膜244の周りを高融点金属の窒化膜245、246で囲んだ構造であるからである。特に高融点金属の窒化膜246の形成を高圧窒化という特殊な技術を用いている。

【0019】本発明の目的は、端子部でのTCPとの圧接抵抗が低く安定で、かつ高温高湿下での接続信頼性の高い簡便に製造可能なアクティブマトリクス基板を提供することにある。

【0020】
【課題を解決するための手段】本発明第1のアクティブマトリクス基板は、透明基板上に並列配置された複数の走査線と、前記複数の走査線に直交して並列配置された複数の信号線と、前記複数の走査線と複数の信号線の各交差点に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記走査線及び信号線の始端部にそれぞれ設けられた接続電極とを有するアクティブマトリクス基板において、前記接続電極が前記始端部に接続する金属膜及び前記金属膜表面に設けられた高融点金属の窒化膜もしくは高導電性金属の窒化膜である。

【0021】本発明の第2のアクティブマトリクス基板は、透明基板上に並列配置された複数の信号線と、前記複数の信号線にそれぞれ設けられた複数のスイッチング素子と、前記複数のスイッチング素子の各々に接続された画素電極と、前記各信号線の始端部にそれぞれ設けられた接続電極とを有するアクティブマトリクス基板において、前記接続電極が前記始端部に接続する金属膜及び前記金属膜表面に設けられた高融点金属の窒化膜もしくは高導電性金属の窒化膜である。

【0022】これらにおいて、接続電極の少なくとも金属膜がその上に端子コンタクトホールを有する絶縁膜で選択する被覆されているようにすることができる。

【0023】又、窒化膜が金属膜の表面及び側面を被覆しているようにすることができる。

【0024】更に、窒化膜が端子コンタクトホールと自己整合して金属膜表面を被覆しているようにすることができる。

50 【0025】更に又、高融点金属はクロム、タンタル、

ニオブ、チタン、モリブデン、タングステンうちの何れか、もしくはこれらを主体とする合金であり、高導電性金属はアルミニウムもしくはこれを主体とする合金であるようにすることができる。

【0026】走査線や信号線の始端部に設けられた接続電極の表面に金属の塗化膜を有しているので熱処理工程での酸化や、外部からの水分に対する腐食を防止できる。

【0027】

【発明の実施の形態】図1は本発明の第1の実施の形態の一画素部分を示す平面図、図2(a), (b)はそれぞれ図1のA-A線断面図、B-B線断面図、C-C線断面図である。

【0028】図1、図2及び図22を参照して、この第1の実施の形態について、その製造工程に沿って説明する。

【0029】厚さ0.7mmのガラス板からなる透明基板1上に厚さ約150nmのクロム膜をスパッタリング法により成膜した後フォトリソグラフィー工程によりパターニングしてクロム膜2-1, 2-2, 203を形成する。クロム膜2-1は走査線101Aの始端部101Atとその近傍のみにある。クロム膜2-2は、信号線102Aを後述する裏打金属層16とともに構成し、信号線始端部102Atに連結している。クロム膜2-3は、走査線101Aから分岐するゲート電極15下に設けられる遮光膜である。

【0030】次に、層間絶縁膜3として、例えば常圧CVD法により厚さ約300nmの低温酸化シリコン膜を形成する。次に厚さ約50nmのITO膜をスパッタリング法により成膜しフォトリソグラフィー工程によりパターニングして他のソース・ドレイン電極4及びこれに連結する画素電極106A並びに一のソース・ドレイン電極5を形成する。

【0031】次に例えばフォスフィン(PH3)のプラズマ処理を行い、これらの表面部にリンを添加した後、厚さがそれぞれ約50nmの不純物を添加していないノンドープ非晶質シリコン膜6と低温塗化シリコン膜をそれぞれプラズマCVD法により連続して成膜し、フォトリソグラフィー工程を経て島状の半導体層8と第1のゲート絶縁膜9との積層膜を形成する。このプラズマCVDは基板温度を約300°Cにして行うため、このとき一のソース・ドレイン電極5及び他のソース・ドレイン電極4表面部のリンがノンドープ非晶質シリコン膜6に拡散し、ここに厚さ約5nmのn型半導体薄膜7が形成され、一のソース・ドレイン電極及び他のソース・ドレイン電極と半導体層8の電気的接続が取られる。その後に例えば厚さ約300nmの低温塗化シリコン膜をプラズマCVD法により成膜して第2のゲート絶縁膜10とし、フォトリソグラフィー工程を経て一のソース・ドレイン電極5上のコンタクトホール11-1及び画素電極

10 106A上の開口11-2並びに信号線102A上のコンタクトホール12-3、遮光膜(2-3)上のコンタクトホール12-4、走査線始端部101At上のコンタクトホール12-1及び信号線始端部102At上のコンタクトホール12-2を形成する。これらのコンタクトホールを形成するためのエッチングをCF₄やCHF₃等のガスを用いて行えば、11-1, 11-2, 12-1~12-4を同時に形成できる。ITO膜がエッチング阻止層として作用するからである。最後に厚さ約150nmのクロム膜13と厚さ約50nmの塗化クロム膜14をスパッタリング法により連続して成膜し、フォトリソグラフィー工程を経てゲート電極15と走査線101A、裏打金属層16、走査線端子103Aである接続電極及び信号線端子104Aである接続電極を形成し、アニールを行ってアクティブマトリクス基板を完成する。ここで塗化クロム膜はアルゴンと窒素の混合ガス中で反応性スパッタリングを行い形成される。アルゴンと窒素の流量比は1:1程度が適当である。クロム塗化膜14/クロム膜13のエッチングはドライエッチング(この場合は塩素等の塩素系ガスを使用)で行われる。

【0032】こうして得られた第1の実施の形態のアクティブマトリクス基板は、透明基板1の表面を選択的に被覆して所定方向(Y方向)に走行して平行に配置された複数の信号線102Aを有している。信号線102Aは幅広の始端部102Atを有するストライプ状のクロム膜2-2を主体とし、画素毎にそれぞれ裏打層16を有している。裏打層16は塗化クロム膜14/クロム膜13の2層膜でなり、第2のゲート絶縁膜10に設けられたコンタクトホール11-1を介してITO膜でなる一のソース・ドレイン電極5に接続されるとともに絶縁膜17に設けられたコンタクトホール12-3を介してクロム膜2-2に接続される。信号線の始端部102At上には絶縁膜17に設けられた接続電極(104A)が設けられている。接続電極(104A)は信号線端子であり、塗化クロム膜14/クロム膜13の2層膜である。

【0033】信号線102A上の絶縁膜17(第2のゲート絶縁膜10/層間絶縁膜3)を選択的に被覆して、Y方向と直交するX方向に走行して平行に、複数の走査線101Aが設けられる。

【0034】各走査線101Aは、塗化クロム膜14/クロム膜13の積層膜でなり、幅広の始端部101At及び画素あたり1つの分岐2-3(ゲート電極15)を有してストライプ状にパターニングされている。又、始端部101Atは、絶縁膜17に設けられたコンタクトホール12-1を介してクロム膜2-1に接続される。更に、各走査線101Aはゲート電極15を分岐する箇所で絶縁膜17に設けられたコンタクトホール12-4を介してクロム膜2-3(遮光膜)に接続される。

【0035】走査線101Aと信号線102Aとの交差

点にはスイッチング素子として順スタガTFT105Aが設けられている。TFT105Aは、裏打金属層16を介して信号線102Aに接続される一のソース・ドレイン電極5と、画素電極106Aと一体の他のソース・ドレイン電極4とを有している。一のソース・ドレイン電極5と他のソース・ドレイン電極4とにまたがって半導体層8が設けられている。半導体層8はノンドーフ非晶質シリコン膜6と、一のソース・ドレイン電極及び他のソース・ドレイン電極にそれぞれ接触するn型半導体膜7となる。第1のゲート絶縁膜9及び第2のゲート絶縁膜10の積層ゲート絶縁膜を介して半導体層8を横断してゲート電極15が設けられている。

【0036】走査線接続端子103A及び信号線接続端子104Aの表面（接続面）を窒化クロム膜にしたことにより、後の熱処理工程（アレイ工程のアニールやセル工程の配向膜焼成）でクロム膜表面の酸化が防止され、端子部での初期の圧接抵抗が低く安定にすることができる。ここで後の熱処理工程で窒化クロム表面も酸化されるが、酸化膜の厚さはクロム酸化膜（厚さ10nm程度）の約1/5の厚さであり、圧接する際ACFの粒子でこの酸化膜を簡単に突き破ることができる。また窒化クロムなどの高融点金属の窒化膜の比抵抗は100~200 $\mu\Omega\text{cm}$ 程度とインジウム錫酸化物（ITO）のような透明導電膜と同程度であり、良好な圧接抵抗が得られる。

【0037】図3に本発明の第1の実施の形態の圧接抵抗の評価結果を図19に示した従来例と比較して示す。ただし、20端子直列接続したときの圧接抵抗を示す。ACFにはソニーケミカル社製のCP7131改良型を用いた。圧接条件は20kg/cm²、180°Cである。図3(a)に300°C、30分の熱処理前後の圧接抵抗を示す。熱処理前には差はないが、熱処理により本実施の形態では殆んど変化がないが、従来例では大きなばらつきを示し著しいものは絶縁状態になる。図3(b)に60°C、90%の高温高湿保管試験（HHT）の結果を示す。本実施の形態では500時間まで変化は僅少であったが、従来例では大きく変化していることが判る。

【0038】図4(a)は、本発明の第2の形態の走査線端子を示す平面図、図4(b)は図4(a)のA-A線断面図である。

【0039】走査線始端部101Aの窒化クロム膜14/クロム膜13の2層膜下にコンタクトホール及び透明基板1を被覆するクロム膜を設けていない点で第1の実施の形態と相違している。図3を参照して説明した第1の実施の形態の圧接抵抗の評価結果と同様な結果が得られた。

【0040】図5は本発明の第3の実施の形態を示す平面図、図6(a)、(b)、(c)は図5のA-A線断面図、B-B線断面図、C-C線断面図である。

【0041】この実施の形態は第1の実施の形態において、窒化クロム膜14/クロム膜13の2層膜パターン（走査線101B、ゲート電極15A、裏打金属層16A、信号線接続電極）の側面に窒化クロム膜14Sが設けられたものである。クロム膜が窒化クロム膜で完全に覆われるので、腐食特性は一層良好である。

【0042】製造方法としては、図1、図2で示される状態にするまでは第1の実施の形態に準じる。最後に、厚さ約50nmの窒化クロム膜を反応性スパッタリングにより再び全面に成膜した後、反応性イオンエッティングにより基板全面をエッチバック（異方性エッティング）してクロム13の側面に窒化クロム膜14Sを形成し、アニールを行えばよい。あるいは、窒素ガスまたはアンモニアガス中でプラズマ処理を行ってクロム膜13の側面に窒化クロム膜を形成してもよい。但しこの場合は、クロム膜の代りにモリブデンやタンクスチタンのような腐食耐性の悪い金属膜を用いるのは適切でない。プラズマ窒化によっては、厚い窒化膜を形成するのは困難であるからである。

【0043】次に、本発明の第4の実施の形態について説明する。第1、第2及び第3の実施の形態における絶縁膜17を被覆するクロム膜の代りに、厚さ50nmの窒化タンタル膜又はニオブ膜でなる下敷膜と厚さ150nmのタンタル膜とでなる2層膜を用いることができる。更に、この2層膜を用いたパターンの表面及び又は側面に窒化タンタル膜を設けることができる。このような下敷膜上には、比抵抗の小さい α 相のタンタル膜を形成し易い。

【0044】図7は、第4の実施の形態を示す断面図で、この実施の形態は、厚さ50nmの窒化タンタル膜14A-1、厚さ150nmのタンタル膜13A及び厚さ50nmの窒化タンタル膜14A-2の3層膜パターンの側面に厚さ50nmの窒化タンタル膜14ASを形成した走査線信号端子を有している。すなわち、図5、6に示す第3の実施の形態の走査線の始端部101A下にコンタクトホール12-1を設けないものにおいて上述の技術を適用したものであり、信号線の始端部上の接続電極も同様に窒化タンタル膜/タンタル膜/窒化タンタル膜の3層膜パターンの側面に窒化タンタル膜を設けた構造を有している。製造方法は第3の実施の形態のそれに準じる。反応性スパッタリング法により窒化タンタル膜14A-1を形成し、スパッタリング法によりタンタル膜13Aを形成し、反応性スパッタリング法により窒化タンタル膜14A-2を形成した後バーニングして、再び反応性スパッタリング法により窒化タンタル膜を全面に堆積したのち異方性エッティングを行なうかプラズマ窒化によりタンタル膜パターンの側面を窒化すればよいのである。

【0045】以上第1~第4の実施の形態は、スイッチ素子として順スタガTFTを使用したアクティブマトリ

クス基板に関するものである。次に逆スタガTFTを使用したものについて説明する。

【0046】図8は本発明の第5の実施の形態の一画素部分を示す平面図、図9(a), (b), (c)は図8のA-A線断面図、B-B線断面図、C-C線断面図である。

【0047】本実施の形態について、図8、図9、図2を参照して、その製造工程に沿って説明する。

【0048】厚さ0.7mmのガラス基板からなる透明基板1上に厚さ約150nmのアルミニウム・ネオジム合金膜(以下A1-Nd膜と記す)をスパッタリング法により成膜し、フォトリソグラフィー工程にてパターニングしてA1-Nd膜2-1A, 2-2A, 2-3Aを形成する。2-1Aは走査線101Cを構成し、幅広の始端部101Ct及び画素あたり1つの分岐2-3A(ゲート電極15B)を有してストライプ状にパターニングされている。2-2Aは信号線102Cの始端部102Ctとその近傍にのみ存在する。次に、厚さ約150nmの低温酸化シリコン膜を高周波スパッタリングにより成膜し第1のゲート絶縁膜18とする。次に厚さ約350nmの低温窒化シリコン膜を第2のゲート絶縁膜19として形成し、厚さ約300nmの不純物を添加していないノンドープ非晶質シリコン膜と厚さ約50nmのリンを添加した非晶質シリコン膜をプラズマCVD法により連続して成膜し、フォトリソグラフィー工程を経てノンドープ半導体薄膜200とn型半導体薄膜21とが積層された島状の半導体層8Aをゲート電極15B上を横断して形成する。次にフォトリソグラフィー工程を経て端子部のA1-Nd膜2-1A, 2-2A上にそれぞれコンタクトホール12-1A, 12-2Aを形成する。その次に厚さ約150nmのモリブデン膜13Bと厚さ約150nmの窒化モリブデン膜14Bをスパッタリング法により連続して成膜し、フォトリソグラフィー工程を経て一のソース・ドレイン電極5A、他のソース・ドレイン電極4A、信号線102Cとその始端部102Ct及び走査線の始端部101Ct上の接続電極(走査線端子103D)を形成する。信号線102Cは画素あたり1つの一のソース・ドレイン電極5Aを分岐して有している。窒化モリブデン膜/モリブデン膜のエッチングはドライエッチング(この場合は通常4フッ化炭素等のフッ素系ガスを使用)で行われる。その次に厚さ約100nmのITO膜をスパッタリング法により成膜し、フォトリソグラフィー工程を経て画素電極106Cを形成した後、一のソース・ドレイン電極5A、他のソース・ドレイン電極4Aをマスクにしてn型半導体薄膜21をCHF₃と塩素の混合ガスを用いてエッチングしてチャネルを形成する。最後に例えば厚さ約200nmの低温窒化シリコン膜をプラズマCVD法により温度300°Cで成膜し絶縁膜22とし、フォトリソグラフィー工程を経て画素電極106C上の開口23接続電極(1

03C, 104C)上に端子コンタクトホール23-1, 23-2を形成し、アニールを行ってアクティブマトリクス基板を完成する。

【0049】こうして得られた第5の実施の形態のアクティブマトリクス基板は、透明基板1の表面を選択的に被覆して所定方向(X方向)に平行に配置された複数の走査線101Cを有している。信号線101Cは、幅広の始端部101Ct及び画素あたり1つの分岐2-3A(ゲート電極15B)を有している。走査線の始端部1

10 01Ctには、窒化モリブデン膜14B/モリブデン膜13Bでなる接続電極(103D)を有している。接続電極(103D)は、絶縁膜17A(第2のゲート絶縁膜19/第1のゲート絶縁膜18)に設けられたコンタクトホール12-1Aを介して走査線の始端部のA1-Nd膜2-1Aに接続される。接続電極103Dの縁端部は絶縁膜22で被覆される。

【0050】走査線101C上の絶縁膜17Aを選択的に被覆して、X方向と直交するY方向に走行して、平行に配置された複数の信号線102Cが設けられている。

20 信号線102Cは幅広の始端部102Ct及び画素あたり1つの分岐である一のソース・ドレイン電極5Aを有してストライプ状にパターニングされている。信号線102Cは、窒化モリブデン膜14B/モリブデン膜13Bの2層膜でなる。信号線の始端部102Ctは、絶縁膜17Aに設けられたコンタクトホール12-2Aを介してA1-Nd膜2-2A(始端部102Ctとその近傍にのみある)に接続される。この始端部102Ctは同時に信号線の接続電極(104D)であり、その絶縁部は絶縁膜22で被覆される。

30 【0051】走査線101Cと信号線102Cとの各交差点には、逆スタガTFT105Bがスイッチング素子として設けられている。逆スタガTFT105Bのゲート電極15Bは、信号線101Cから分岐したA1-Nd膜2-3Aである。ゲート電極15Bを順次に被覆する第1のゲート絶縁膜18及び第2のゲート絶縁膜19でなる積層ゲート絶縁膜(17A)を選択的に被覆してノンドープ半導体薄膜20とn型半導体薄膜21とが設けられて半導体層8Aが設けられている。半導体層8Aには、一のソース・ドレイン電極5Aと他のソース・ド

40 レイン電極4Aとが接続される。半導体層8Aのn型半導体薄膜21は、一のソース・ドレイン電極5A及び他のソース・ドレイン電極4Aと接触する部分以外は除去されている。他のソース・ドレイン電極4AはITO膜でなる画素電極106Cが接続される。

【0052】第1の実施の形態との相違点は、TFTの型のちがいはともかくとして、接続電極の材質の相違と、縁端部が絶縁膜22で被覆されていることにある。

【0053】モリブデン膜13B及び窒化モリブデン膜14Bは、クロム膜13A及び窒化クロム膜14Aにそれぞれ比較すると腐食耐性が劣っている。しかし、窒化

モリブデン膜14Bの厚さを少なくとも100nmとし、窒化シリコン膜(22)で端子コンタクトホール以外の全面を保護することにより、第1の実施の形態と同様の効果を達成できた。

【0054】図10は本発明の第6の実施の形態の一画素部分を示す平面図、図11(a), (b), (c)は図10のA-A線断面図、B-B線断面図、C-C線断面図である。

【0055】第5の実施の形態との相違点は、走査線101Dが厚さ約150nmのモリブデン・タングステン合金膜(以下Mo-W膜と記す)13Cとモリブデン・タングステン合金ターゲットを窒素雰囲気中でスパッタリングさせて成膜した厚さ150nmのMo-W-N膜14Cとの積層膜で構成し始端部101Dtをそのまま接続電極(走査線端子103E)としたこと、信号線102Dも同様に厚さ150nmのMo-W-N膜14Dとの積層膜で構成し始端部102Dtをそのまま接続電極(信号線端子104E)としたこと、走査線101Dの始端部101Dt上の端子コンタクトホール23-1Bを、窒化シリコン膜22/第2のゲート絶縁膜19/第1のゲート絶縁膜18の3層膜を貫通して設け、同様に信号線の始端部102Dt上の端子コンタクトホールを窒化シリコン膜22を貫通して設けたことである。それにともなって、逆スタガTFT105Cのゲート電極15Cも14C/13Cの2層膜になり、一のソース・ドレイン電極5B及び他のソース・ドレイン電極4Bも14D/13Dの2層膜となる。第5の実施の形態とほぼ同様の効果を達成できた。

【0056】図12は本発明の第7の実施の形態の一画素部分を示す平面図、図13(a), (b), (c)は図12のA-A線断面図、B-B線断面図、C-C線断面図である。

【0057】第5の実施の形態との相違点は、A1-Nd膜2-1A, 2-2A, 2-3Aの代りに厚さ約150nmのモリブデン・タングステン合金膜(以下Mo-W膜と記す)2-1C, 2-2C, 2-3Cを用いたこと、第1のゲート絶縁膜として低温酸化シリコン膜(18)の代りに、東燃社製のポリシリコンを塗布して焼成した厚さ約300nmの絶縁膜18Aを用いたこと、モリブデン膜13B及び窒化モリブデン膜14Bの代りにそれぞれ厚さ150nmのタングステン膜13E及び厚さ150nmの窒化タングステン膜14Eを用いたこと、積層膜14E/13Eパターンの側面に窒化タングステン膜14SAを設けたことである。窒化タングステン膜14SAの形成方法は、第3の実施の形態における窒化クロム膜14Sの形成方法に準じる。但し、プラズマ処理による方法は適用できない。絶縁膜18Aは塗布・焼成法で形成されるので表面の平坦性が良好でありゲート電極15D(2~3C)上の厚さは150nm程度

になる。

【0058】本実施の形態は、第5, 第6の実施の形態より平坦性に優れている利点がある。

【0059】図14は本発明の第8の実施の形態の一画素部分を示す図、図15(a), (b), (c)は図14のA-A線断面図、B-B線断面図、C-C線断面図である。

【0060】厚さ約150nmのモリブデン膜13Fと厚さ約150nmの窒化モリブデン膜14Fとの積層膜10パターンの側面に幅約150nmの窒化モリブデン膜14SBを設けて、ゲート電極15Eを分岐させた走査線101Fを構成し、走査線の始端部101Ftがそのまま走査線の接続電極(走査線端子103G)となっている。接続電極(103G)上には、東燃社製ポリシリコンを塗布し焼成した厚さ約400mm(ゲート電極15E上で約100mm)でなる第1のゲート絶縁膜18B、プラズマCVD法による低温窒化シリコン膜(厚さ350nm)でなる第2のゲート絶縁膜19及びプラズマCVD法による低温窒化シリコン膜22(厚さ200nm)に設けられた端子コンタクトホール23-1Bが形成されている。

【0061】ゲート電極15E上の絶縁ゲート絶縁膜17C(19/18B)を選択的に被覆して半導体層8Aが設けられている。

【0062】厚さ約150nmのモリブデン膜13Gと厚さ150nmの窒化モリブデン膜14Gとの積層膜パターンの側面に幅150nmの窒化モリブデン膜14SCを設けて、一のソース・ドレイン電極5Dを分岐させた信号線102Fを構成し、信号線の始端部102Ftがそのまま信号線の接続電極(信号線端子104F)となっている。接続電極(104G)上に低温窒化シリコン膜22に設けられた端子コンタクトホール23-2Bが設けられている。他のソース・ドレイン電極4Dは一のソース・ドレイン電極5Dと同様の積層膜である。

【0063】窒化モリブデン膜14SB, 14SCの形成方法は、窒化モリブデン膜の全面堆積とエッチバックとによればよい。

【0064】図16は本発明の第9の実施の形態の一画素部分を示す図、図17(a), (b), (c)は図16のA-A線断面図、B-B線断面図、C-C線断面図である。

【0065】透明基板1を選択的に被覆して厚さ約150nmのA1-Nd膜2-1A, 2-2A, 2-3Aが設けられていることは第5の実施の形態と同じである。A1-Nd膜2-1, 2-2A, 2-3Aの設けられた透明基板1を被覆して、ダウケミカル社製BCB(ベンゾシクロブテン樹脂)を塗布し焼成した平坦な第1のゲート絶縁膜18C(厚さ約300nm、A1-Nd膜上で約150nm)及びプラズマCVD法による低温窒化シリコン膜でなる第2のゲート絶縁膜19が設けられて

いる。積層ゲート絶縁膜17D(19/18C)を選択的に被覆して半導体層8Aが設けられ、更に、厚さ約150nmのA1-Nd膜24が設けられている。このA1-Nd膜24はバーニングされて、信号線102G(分岐した一のソース・ドレイン電極5Cを有している)、他のソース・ドレイン電極4C及び走査線の始端部101C右上のA1-Nd膜24tを構成している。

【0066】走査線の接続電極(走査線端子103H)は、走査線の始端部101Ct上に、積層ゲート絶縁膜17Dに設けられたコンタクトホール12-2Cを介してA1-Nd膜2-1Aに接続するA1-Nd膜24tと、A1-Nd膜24tの縁端部を被覆する窒化シリコン膜22に設けられた端子コレクタホール23-1Bと自己整合するA1-Ndの窒化膜(A1-Nd-N膜25-1)を有している。

【0067】信号線の接続電極(信号線端子104H)は、A1-Nd膜2-2A、積層ゲート絶縁膜17Dに設けられたコンタクトホール12-2Cを介してA1-Nd膜2-2Aに接続する信号線の始端部102Gt(A1-Nd膜24)と、始端部102Gtの縁端部を被覆する窒化シリコン膜22に設けられた端子コレクタホール23-2Bと自己整合するA1-Nd-N膜25-2とを有している。

【0068】製造方法としては、窒化シリコン膜22を堆積し、端子コンタクトホール23-1B, 23-2Bを形成した後、窒素ガスまたはアンモニアガス中でプラズマ処理を行なうことによってA1-Nd-N膜を形成することに特色がある。プラズマ処理の条件は、通常のインライン型のプラズマCVD装置を用い、例えばアンモニアガスの流量400SCCM、圧力100Pa、高周波電力1000W(13.56MHz)、時間30分で厚さ約5nmのA1-Nd-N膜25-1, 25-2を形成する。

【0069】本実施の形態の作用、効果については第1の実施の形態と同様である。但しアルミニウムの窒化膜はこれまで述べたクロムやタンタル、モリブデン、タンクスチタンのような高融点金属の窒化膜と異なり絶縁物であるので、ACFの粒子はアルミニウムの窒化膜を含むA1-Nd-N膜及びその表面酸化膜を突き破ることができる形状のものを用いる必要がある。また本実施の形態では金属窒化膜厚が薄いので、A1-Nd膜の代りにモリブデンやタンクスチタンやこれらの合金のような腐食性の悪い金属を用いるので適当でない。

【0070】図18は本発明の第9の実施の形態の一画素部分を示す平面図、図19(a), (b), (c)は図18のA-A線断面図、B-B線断面図、C-C線断面図である。

【0071】本実施の形態では、走査線101G及びその分岐であるゲート電極15Cが厚さ約150nmのアルミニウム・タンタル・チタン合金膜(以下A1-Ta

-Ti膜26と記す)でなり、信号線102H及びその分岐である一のソース・ドレイン電極5E、他のソース・ドレイン電極4Eが厚さ約150nmのA1-Ta-Ti膜24Aで形成されている。始端部101Gt, 102Ht上の端子コンタクトホール23-1B, 23-2Bと自己整合してA1-Ta-Ti膜の窒化膜(A1-Ta-Ti-N膜25-1A, 25-2A)が設けられている。第1のゲート絶縁膜は第8の実施の形態と同じである。A1-Ta-Ti-N膜の形成方法は、第8の実施の形態におけるA1-Nd-N膜の形成方法に準じる。ACFについても第8の実施の形態の場合と同様である。

【0072】以上、第5~第10の実施の形態は、スイッチ素子として逆スタガTFTを使用したアクティブマトリクス基板に関するものである。

【0073】図20は本発明の第11の実施の形態の一画素部分を示す平面図、図21(a), (b)は図20のA-A線断面図、B-B線断面図である。

【0074】本実施の形態は、スイッチ素子としてMIMを使用したアクティブマトリクス基板にかかるものである。

【0075】厚さ0.7mmのガラス板でなる透明基板1上に、厚さ約100nmの酸化タンタル膜111を堆積し、次に厚さ約300nmのタンタル膜112を堆積し、信号線102H及びその分岐である下部電極142を形成するためのバーニングを行なう。次に、102Hの始端部をマスクして陽極酸化を行ない厚さ約200nmの酸化タンタル膜を形成することにより、層間絶縁膜113で表面及び側面を覆われた信号線102H及び下部電極142が形成される。次に、窒素ガスまたはアンモニアガス中でプラズマ処理を行なって、信号線102Hの始端部のタンタル膜の表面及び側面に厚さ約5nmの窒化タンタル膜115を形成する。次に、厚さ約150nmのクロム膜114を堆積し、バーニングして上部電極143を形成する。次に、厚さ約150nmのITO膜を形成し、バーニングして画素電極106Dを形成し、アーナーを行なう。作用、効果については第1の実施の形態に準じる。なお、102Hの始端部をマスクせずに陽極酸化を行なってタンタル膜パターンの表面及び側面に酸化タンタル膜を層間絶縁膜として形成し、しかる後に始端部とその近傍の層間絶縁膜を除去して開口を設けて、窒素ガスまたはアンモニアガス中でプラズマ処理をしてもよい。そうすると、開口を始端部より大きくなるか小さくするかに応じて図21(a)と同じ構造、あるいは図19(b)のように、層間絶縁膜の端子コンタクトホールと自己整合して酸化タンタル膜を形成したものを実現できる。更に、このプラズマ処理を行なわず、クロム膜114を前述の開口とその近傍に残し、窒化してもよい。

【0076】

【発明の効果】以上説明したように本発明はアクティブ

マトリクス基板の信号線（走査線も走査信号を伝達する信号線の一種である）の接続端子の少なくともTCPとの接続面を金属高融点金属の窒化膜もしくは高導電性金属の窒化膜にすることにより、第1に、接続端子での初期の圧接抵抗を低く安定にすることができる、接続信頼性も向上させることができることである。その理由は、少なくともTCPとの接続面を金属窒化膜にしたことにより、後の熱処理工程（アレイ工程でのアニールやセル工程での配向膜焼成）で表面酸化を防止することができるからである。

【0077】第2に接続電極を構成する金属膜にモリブデン、タンクスチンやモリブデン・タンクスチン合金のような腐食耐性の悪い金属を用いた場合でも、接続信頼性を確保することができることである。その理由は、これらの金属の窒化膜自身は腐食耐性が良好であり、さらに金属の窒化膜の厚さを厚くすることにより、外部からの水分の侵入をブロックすることができるからである。

【0078】第3に、歩留まりを低下させず、また工程数をほとんど増やすことなく製造できることである。その理由は、しばしばパーティクルの発生が問題になる透明導電膜の成膜回路を順スカラFTTの場合には増やす必要がなく、また大半の実施の形態では金属窒化膜と金属膜の金属又は合金を同じに選ぶことで、これらの成膜及びエッチングをどちらとも一工程（同じCVD装置を用いて）できるからである。また金属膜と下地との密着性が良好で剥離難いため圧接工程の再工事が容易であり、さらに金属膜の下面にしばしば下地との密着性に劣る金属窒化膜をわざわざ形成する必要がないこともその理由である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の一画素部分を示す平面図。

【図2】図1のA-A線拡大断面図（図2(a)）、B-B線拡大断面図（図2(b)）及びC-C線拡大断面図（図2(c)）。

【図3】第1の実施の形態と従来例と比較して圧接抵抗の熱処理による変化を示すグラフ（図3(a)）及びHTによる変化を示すグラフ（図3(b)）。

【図4】本発明の第2の実施の形態の走査線端子を示す平面図（図4(a)）及び図4(a)のA-A線拡大断面図（図4(b)）。

【図5】本発明の第3の実施の形態の一画素部分を示す平面図。

【図6】図5のA-A線拡大断面図（図5(a)）、B-B線拡大断面図（図5(b)）及びC-C線拡大断面図（図5(c)）。

【図7】本発明の第4の実施の形態を示す断面図。

【図8】本発明の第5の実施の形態の一画素部分を示す平面図。

【図9】図8のA-A線拡大断面図（図9(a)）、B-B線拡大断面図（図9(b)）及びC-C線拡大断面図（図9(c)）。

—B線拡大断面図（図9(b)）及びC-C線拡大断面図（図9(c)）。

【図10】本発明の第6の実施の形態の一画素部分を示す平面図。

【図11】図10のA-A線拡大断面図（図11(a)）、B-B線拡大断面図（図11(b)）及びC-C線拡大断面図（図11(c)）。

【図12】本発明の第7の実施の形態の一画素部分を示す平面図。

10 【図13】図12のA-A線拡大断面図（図13(a)）、B-B線拡大断面図（図13(b)）及びC-C線拡大断面図（図13(c)）。

【図14】本発明の第8の実施の形態の一画素部分を示す平面図。

【図15】図14のA-A線拡大断面図（図15(a)）、B-B線拡大断面図（図15(b)）及びC-C線拡大断面図（図15(c)）。

【図16】本発明の第9の実施の形態の一画素部分を示す平面図。

20 【図17】図16のA-A線拡大断面図（図17(a)）、B-B線拡大断面図（図17(b)）及びC-C線拡大断面図（図17(c)）。

【図18】本発明の第10の実施の形態の一画素部分を示す平面図。

【図19】図18のA-A線拡大断面図（図19(a)）、B-B線拡大断面図（図19(b)）及びC-C線拡大断面図（図19(c)）。

【図20】本発明の第11の実施の形態の一画素部分を示す平面図。

30 【図21】図20のA-A線拡大断面図（図21(a)）及びB-B線拡大断面図（図21(b)）。

【図22】 TFTアクティブラチカル型の液晶表示装置を模式的に示す図。

【図23】第1の従来技術の第1の例について説明するための断面図。

【図24】第1の従来技術の第2の例について説明するための断面図。

【図25】第1の従来技術の第3の例について説明するための断面図。

40 【図26】第2の従来技術の走査線端子を示す断面図（図26(a)）及び信号線端子を示す断面図（図26(b)）。

【図27】第3の従来技術について説明するための断面図。

【符号の説明】

1 透明基板

2-1, 2-2, 2-3 クロム膜

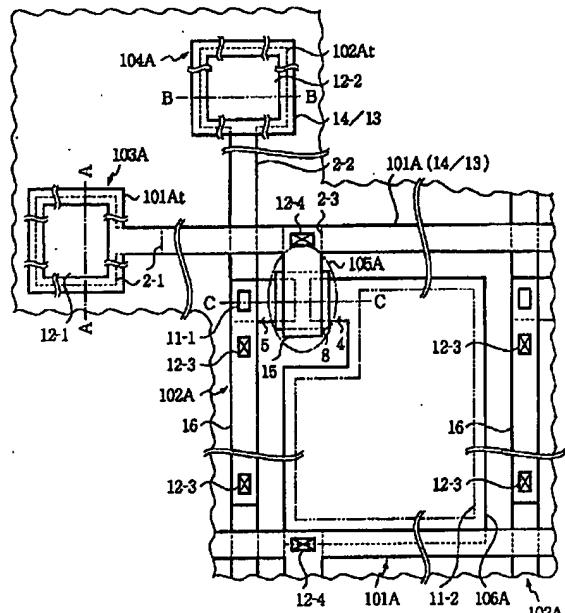
2-1A, 2-2A, 2-3A A1-Nd膜

2-1C, 2-2C, 2-3C Mo-W膜

19

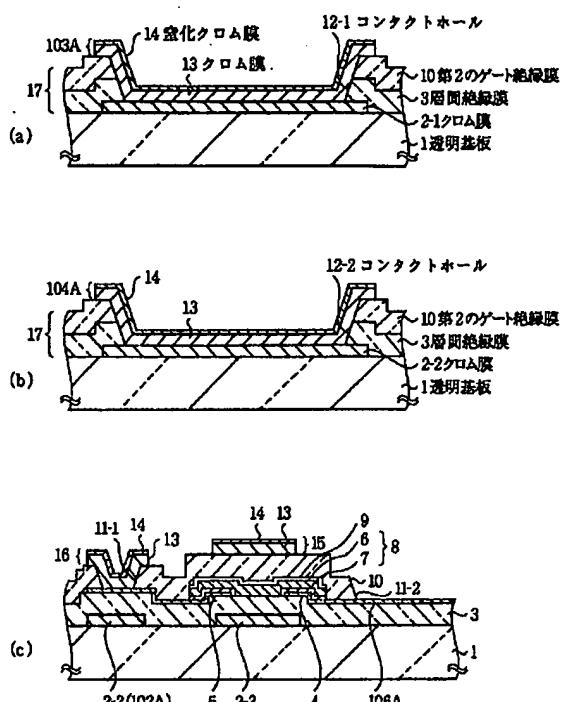
4, 4A, 4B, 4C, 4D, 4E	他のソース・ド	101At	走査線101Aの始端部
レイン電極		101Ct	走査線101Cの始端部
5, 5A, 5B, 5C, 5D, 5E	一のソース・ド	101Dt	走査線101Dの始端部
レイン電極		101Et	走査線101Eの始端部
6 ノンドープ非晶質シリコン膜		101Ft	走査線101Fの始端部
7		102, 102b, 102A, 102C, 102D, 102E, 102F, 102G	走査線端子
8, 8A 半導体層		102At	信号線102Aの始端部
9 第1のゲート絶縁膜(順スタガTFT)		102Ct	信号線102Cの始端部
10 第2のゲート絶縁膜(順スタガTFT)		102Dt	信号線102Dの始端部
11-1 コンタクトホール		102Et	信号線102Eの始端部
11-2 開口		102Ft	信号線102Fの始端部
12, 12-1, 12-1A, 12-2, 12-2A, 12-3 コンタクトホール		102Gt	信号線102Gの始端部
13 クロム膜		102Ht	信号線102Hの始端部
13A タンタル膜		103, 103b, 103A, 103B, 103C, 103D, 103E, 103F, 103G, 103H, 103I	信号線端子
13B モリブデン膜		105	TFT
13C, 13D Mo-W膜		105A	順スタガTFT
13E タングステン膜		105B	逆スタガTFT
13F モリブデン膜		105C	逆スタガTFT
13G モリブデン膜		105D	逆スタガTFT
14 窒化クロム膜		105E	逆スタガTFT
14A-1, 14A-2, 14SA 窒化タンタル膜		105F	逆スタガTFT
14B 窒化モリブデン膜		105G	逆スタガTFT
14C, 14D Mo-W-N膜		106, 106A, 106C, 106D	画素電極
14E 窒化タンガステン膜		107	液晶層
14F 窒化モリブデン膜		111	酸化タンタル膜
14G 窒化モリブデン膜		112	タンタル膜
14S 窒化クロム膜		30 113	層間絶縁膜
15, 15A, 15B, 15C, 15D ゲート電極		141	下部電極
16, 16A 裏打金属層		142	上部電極
17, 17A, 17B, 17C, 17D 絶縁膜		201	ゲート絶縁膜
18, 18A, 18B, 18C 第1のゲート絶縁膜 (逆スタガTFT)		202	金属膜
19 第2のゲート絶縁膜(逆スタガTFT)		203, 203-1, 203-2	透明導電膜
20 ノンドープ半導体薄膜		204	非晶質シリコン膜
21 n型半導体薄膜		205	保護絶縁膜
22 絶縁膜		231	高融点金属膜
23-1, 23-1A, 23-1B, 23-2, 23-2A, 23-2B端子コンタクトホール		232	高導電性金属膜
24, 24t Al-Nd膜		40 233	ゲート絶縁膜
24A Al-Ta-Ti膜		234	コンタクトホール
25-1, 25-2 Al-Nd-N膜		241	半導体基板
25-1A, 25-2A Al-Ta-Ti-Ni膜		242	絶縁膜
26 Al-Ta-Ti膜		243	コンタクトホール
100 アクティブマトリクス基板		244	高融点金属膜
101, 101a, 101b, 101A, 101B, 101C, 101D, 101E, 101F, 101G		245	高融点金属の窒化膜
信号線		246	高融点金属の窒化膜

【図1】

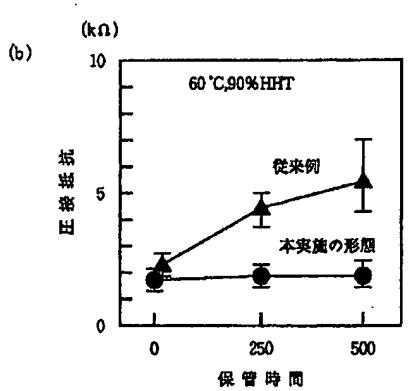
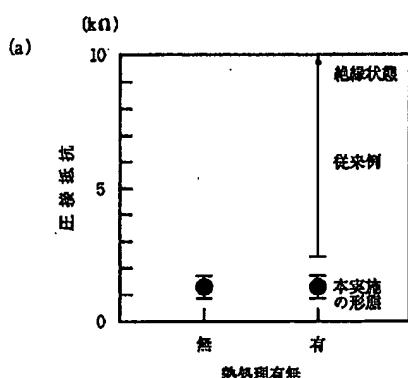
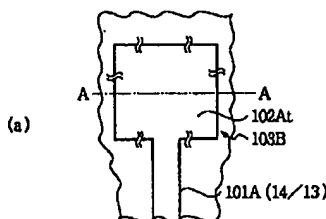


【図3】

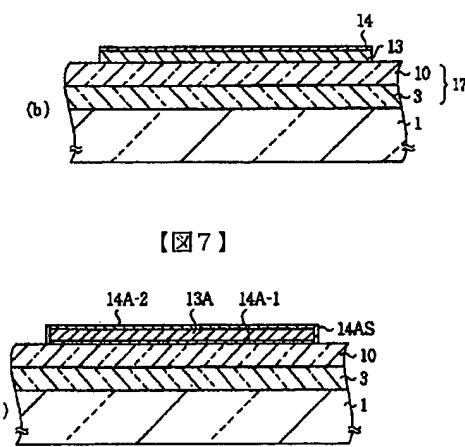
【図2】



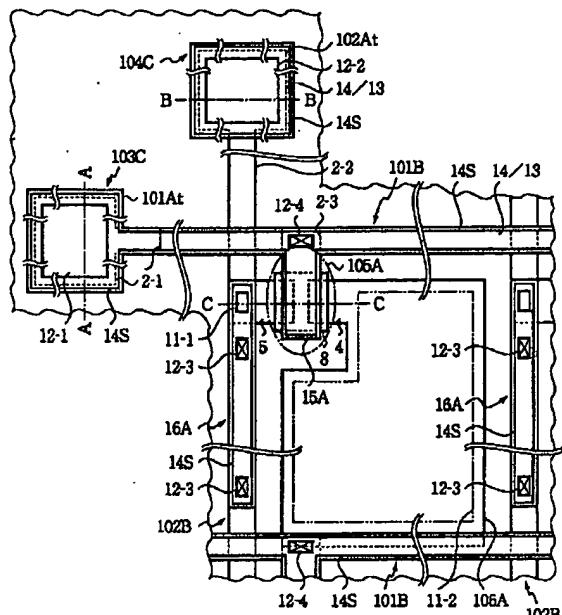
【図4】



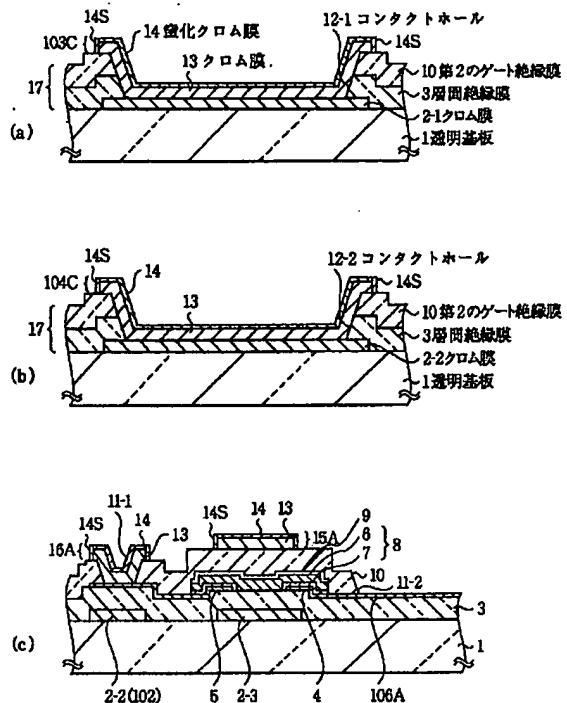
【図7】



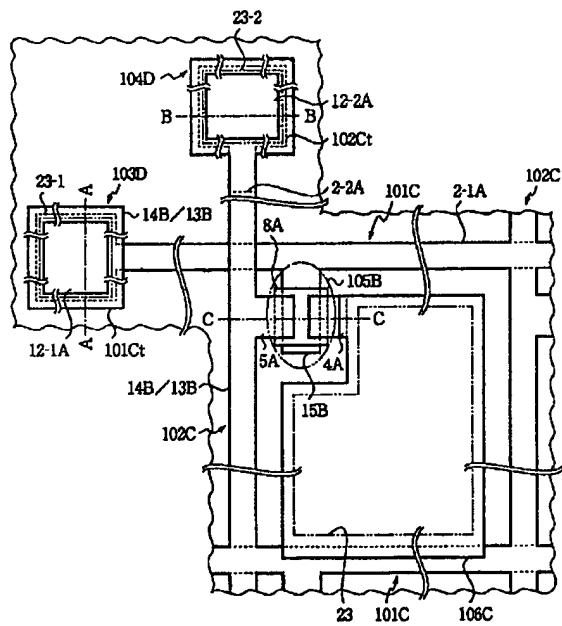
【图5】



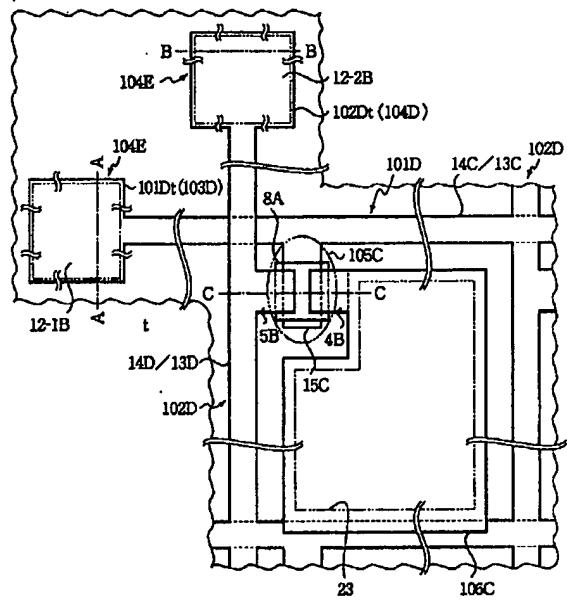
【図6】



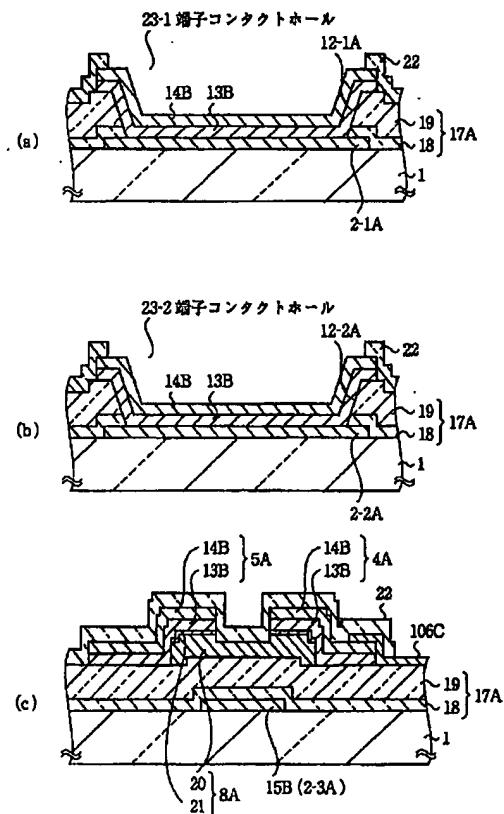
【図8】



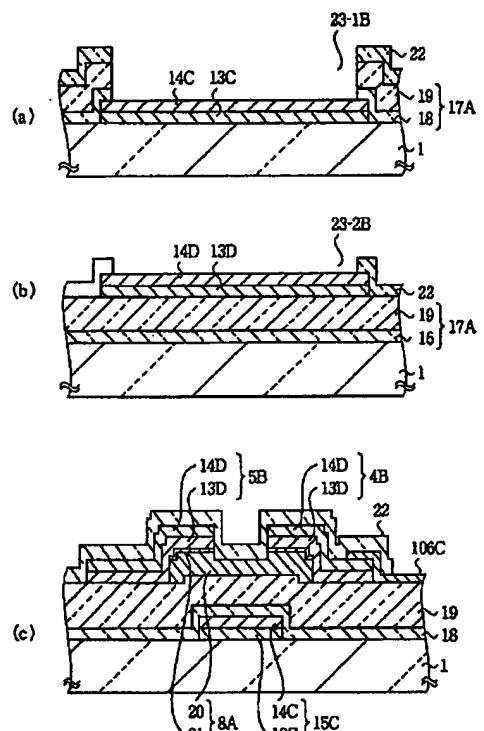
【図10】



【図9】

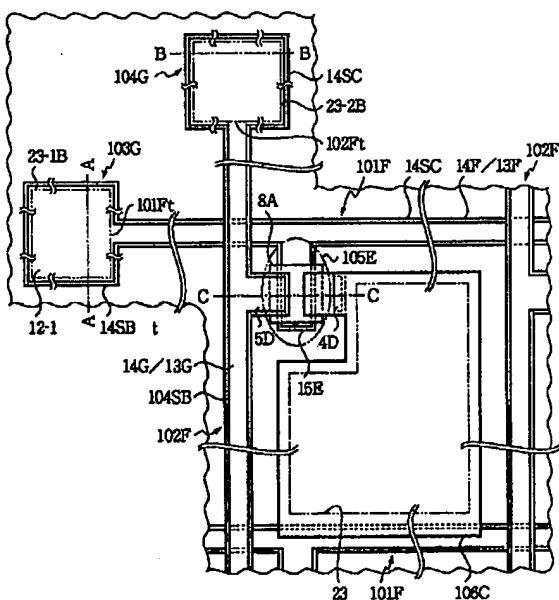
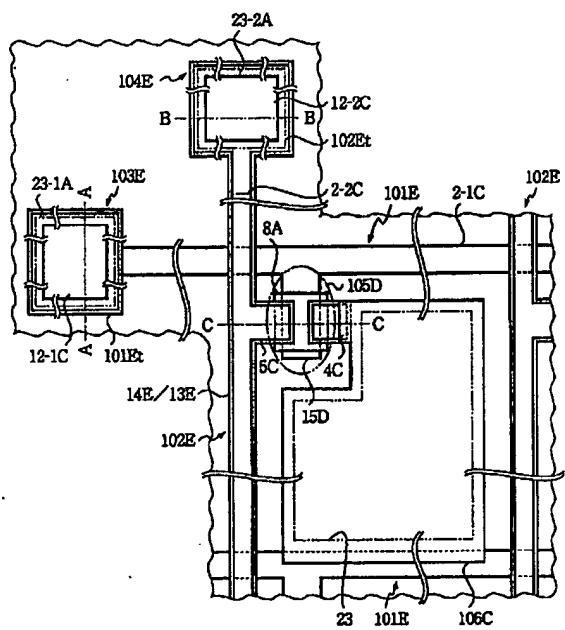


【図11】

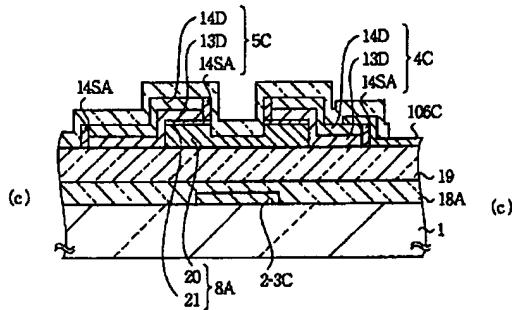
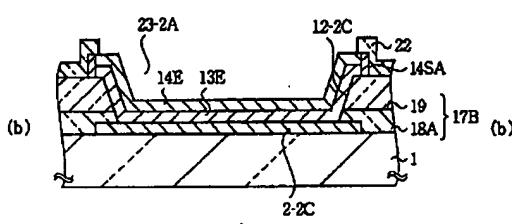
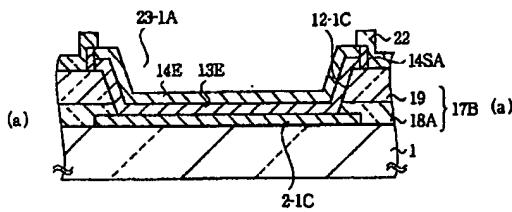


【図14】

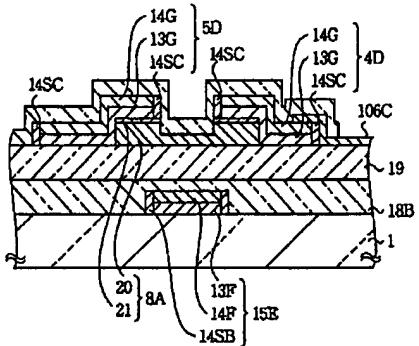
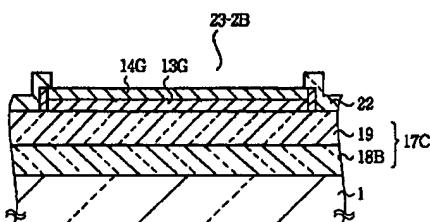
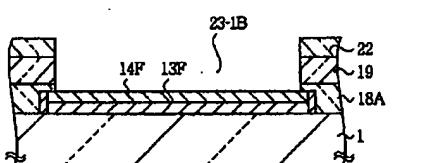
【図12】



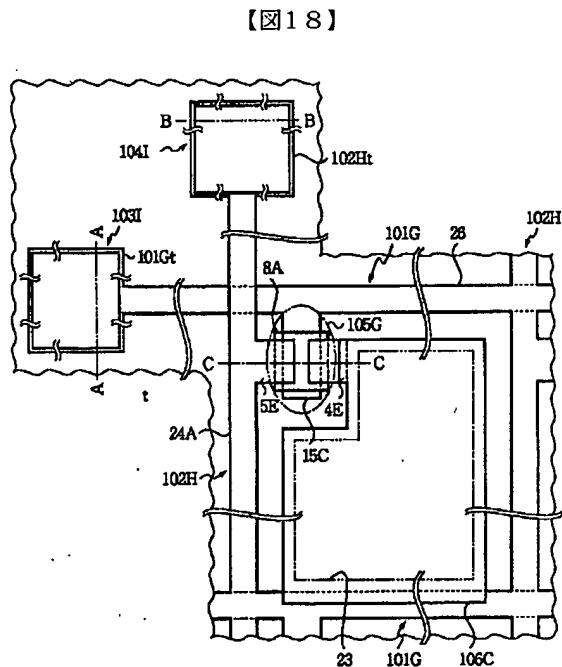
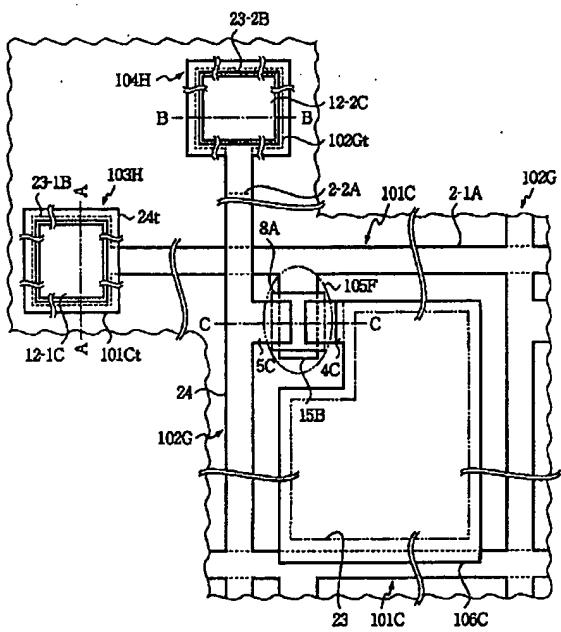
【図13】



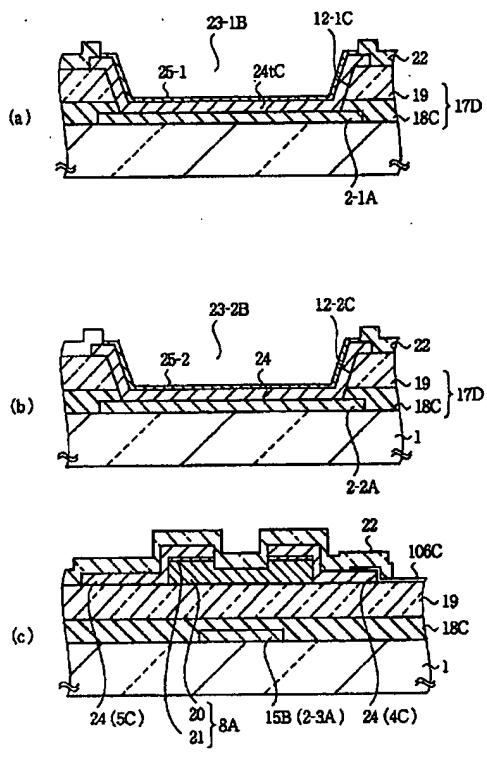
【図15】



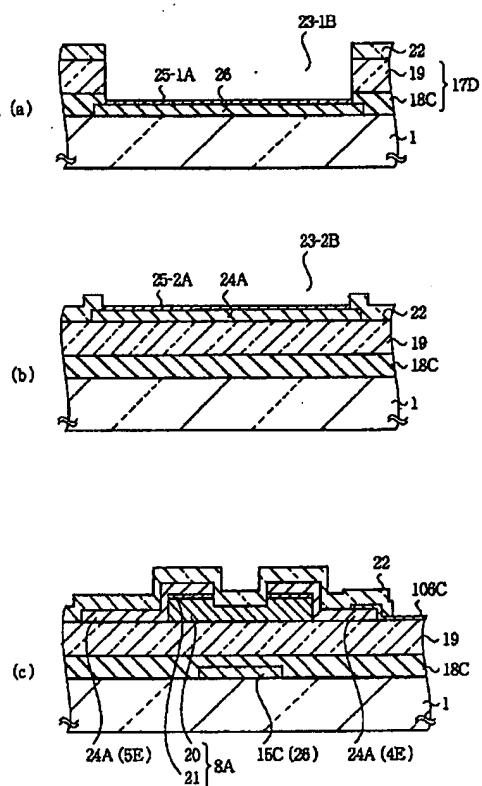
【図16】



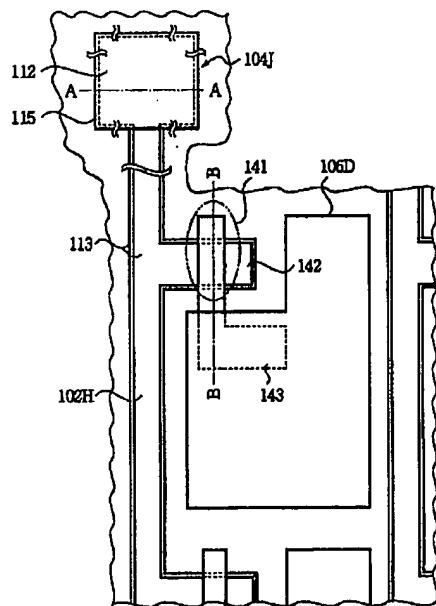
【図17】



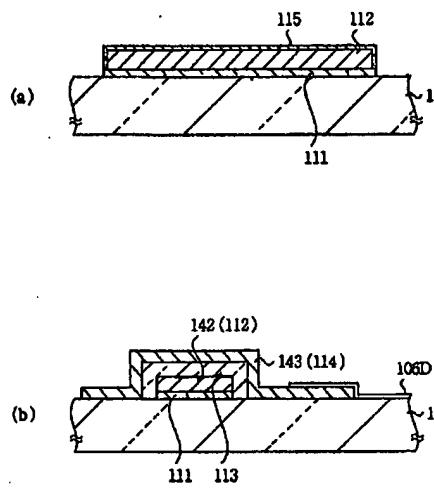
【図19】



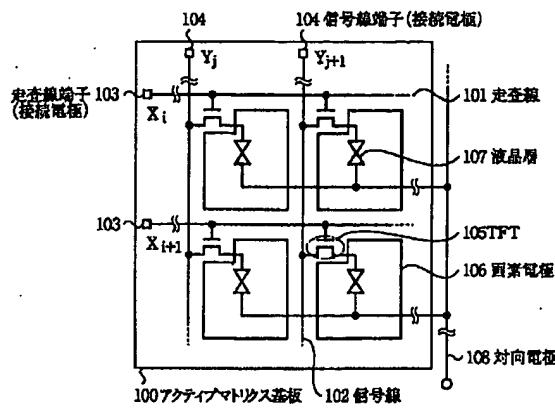
【図20】



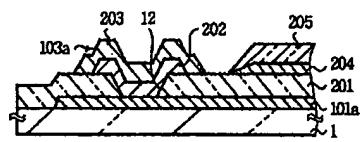
【図21】



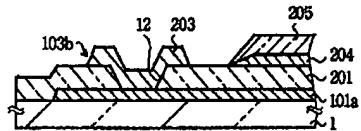
【図22】



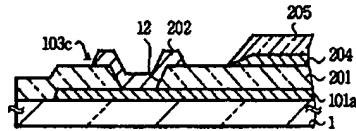
【図23】



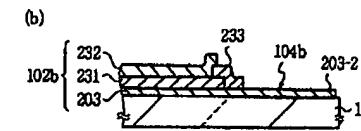
【図24】



【図25】



(b)



【図27】

